

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05326976
PUBLICATION DATE : 10-12-93

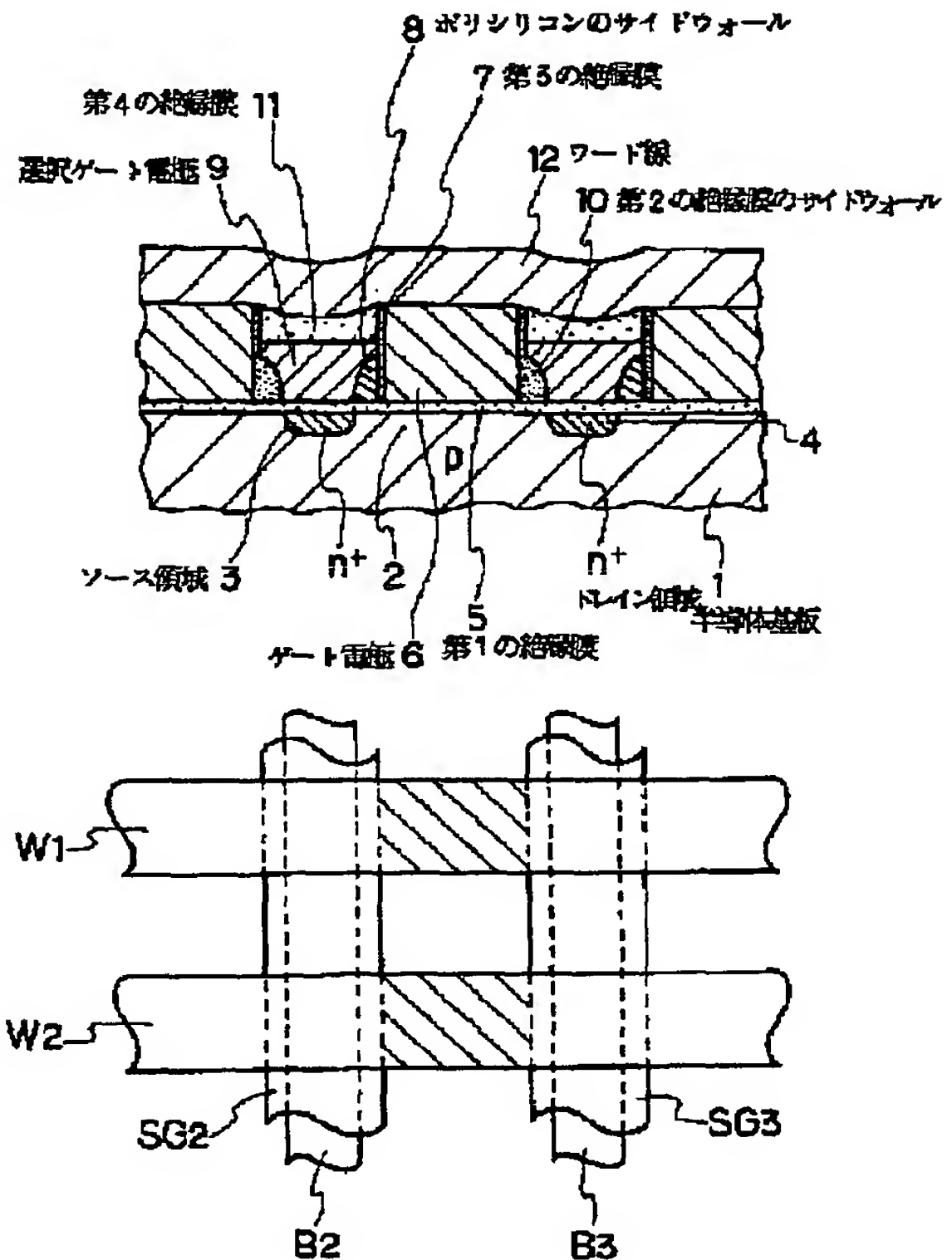
APPLICATION DATE : 20-05-92
APPLICATION NUMBER : 04127747

APPLICANT : ROHM CO LTD;

INVENTOR : NAKAO HIRONOBU;

INT.CL. : H01L 29/788 H01L 29/792 G11C 16/02

TITLE : SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To provide a semiconductor memory and a manufacture thereof capable of precisely forming the semiconductor memory of FACE type in MONOS type or MNOS type at a small cell area.

CONSTITUTION: A first insulating film 5 is formed on the surface of a semiconductor substrate 1 and a gate electrode 6 is formed on the first insulating film 5. Then, a side wall 10 consisting of a second insulating film is formed on one side of the gate electrode 6 and a side wall 8 consisting of a polysilicon film through a third insulating film is formed on the other side of the gate electrode 6 and a source region 3 (drain region 4) is formed using both the side walls 8 and 10 as a mask. A selective gate electrode 9 is formed in contact with the side wall 8 of the polysilicon film and a word line 12 is formed on the selective gate electrode 9 through a fourth insulating film.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-326976

(43)公開日 平成5年(1993)12月10日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
G 1 1 C 16/02				
		6741-5L	H 0 1 L 29/ 78 3 7 1	
			G 1 1 C 17/ 00 3 0 7 E	
			審査請求 未請求 請求項の数2(全 7 頁)	

(21)出願番号 特願平4-127747

(22)出願日 平成4年(1992)5月20日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中尾 広直

京都市右京区西院溝崎町21番地 ローム株式会社内

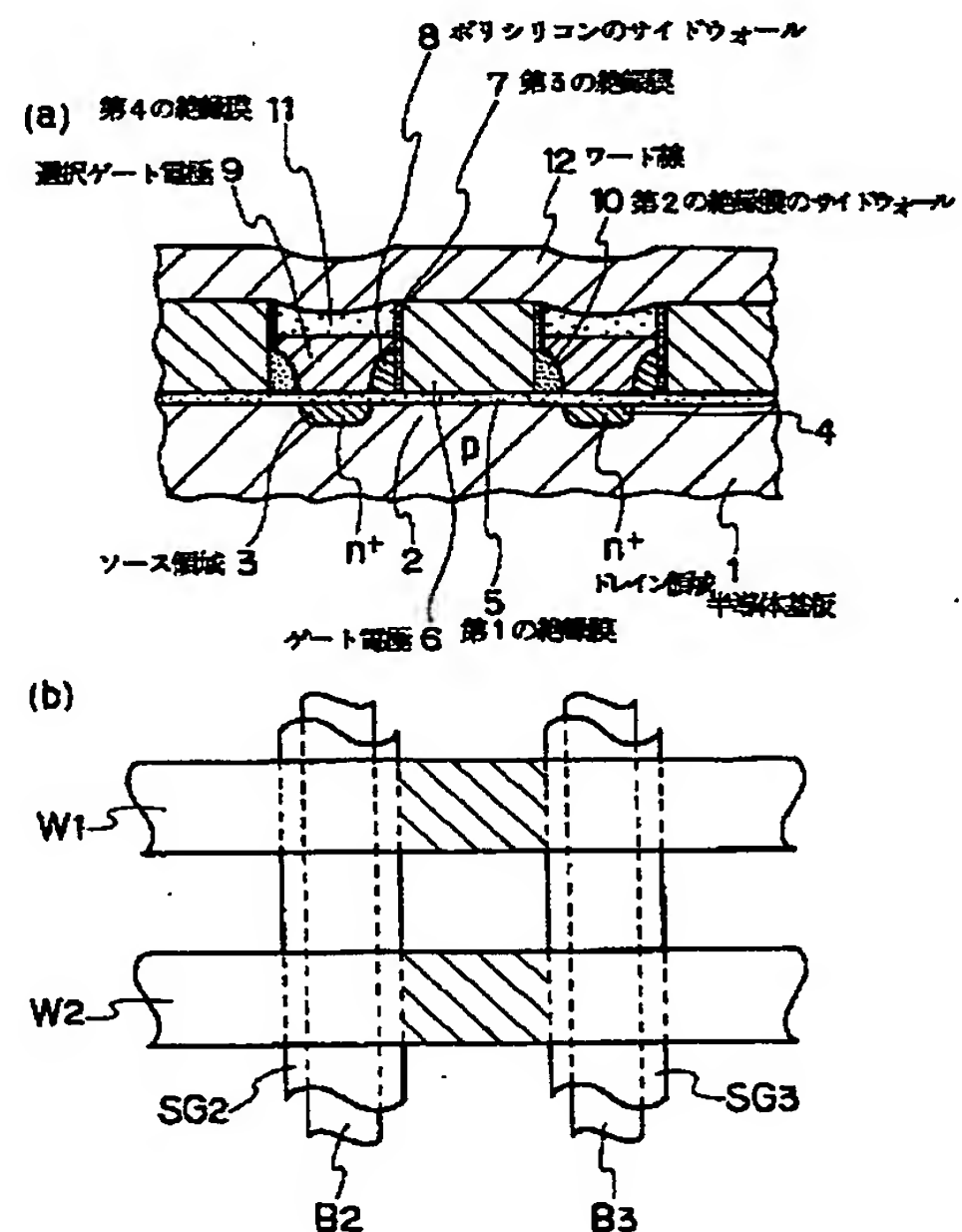
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体記憶装置およびその製法

(57)【要約】

【目的】 MONOS型またはMNOS型でFACE型の半導体記憶装置を小さいセル面積で精度良く形成できる半導体記憶装置およびその製法を提供する。

【構成】 半導体基板1の表面に第1の絶縁膜5が形成され、該第1の絶縁膜上にゲート電極6が形成され、そののちゲート電極の一方の横側に第2の絶縁膜によるサイドウォール10が、他方の横側に第3の絶縁膜を介してポリシリコン膜によるサイドウォール8が形成され、この両サイドウォールをマスクとしてソース領域3(ドレイン領域4)が形成される。前記ポリシリコン膜のサイドウォールと接触して選択ゲート電極9が形成され、該選択ゲート電極の上に第4の絶縁膜を介してワード線12が形成される。



【特許請求の範囲】

【請求項1】 (a) 第1導電型の半導体基板上に第1の絶縁膜を介して形成されたゲート電極、(b) 該ゲート電極の一方の横側に形成された第2の絶縁膜からなるサイドウォール、(c) 前記ゲート電極の他方の横側に第3の絶縁膜を介して形成されたポリシリコンからなるサイドウォール、(d) 前記両サイドウォールのそれぞれの外側の前記半導体基板上に第2導電型の不純物が導入されて形成されたソース領域およびドレイン領域、および(e) 前記ポリシリコンからなるサイドウォールに連結して形成された選択ゲート電極からなる半導体記憶装置。

【請求項2】 (a) 半導体基板表面に第1の絶縁膜が形成され、該第1の絶縁膜上にゲート電極が形成される工程、(b) 該ゲート電極の一方の横側に第2の絶縁膜からなるサイドウォールが形成され、前記ゲート電極の他方の横側にポリシリコンからなるサイドウォールが形成される工程、(c) 前記両サイドウォールをマスクとしてイオン注入法によりソース領域（ドレイン領域）が形成され、該領域の第1の絶縁膜上に選択ゲート電極が形成される工程、および(d) 該選択ゲート電極上に第4の絶縁膜が形成され、該第4の絶縁膜上に横方向に並んだセルのゲート電極が連結されたワード線が形成される工程の結合からなる半導体記憶装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置およびその製法に関する。さらに詳しくは、絶縁膜に電子を注入してしきい値電圧を調整する半導体記憶装置で、セル面積の縮小化を図った半導体記憶装置およびその製法に関する。

【0002】

【従来の技術】 電気的にデータの書換えが可能で、無電源状態でもデータ保持のできるEEPROMが幅広く使用されている。このEEPROMにはフローティングゲートにホットエレクトロンを注入するフラッシュメモリ型と、絶縁膜にFNトンネリングやダイレクトトンネリングなどにより、電子を注入する金属-酸化膜-窒化膜-酸化膜-半導体構造のMONOS (metal oxide nitride oxide semiconductor) 型や金属-窒化膜-酸化膜-半導体構造のMNOS (metal nitride oxide semiconductor) 型とがあり、MONOSやMNOS型はフラッシュ型メモリに比べ書込み回数が1～2桁多いため、有用されている。

【0003】 一方、素子の小型化を図るため、フラッシュメモリ型で、アレイ状に並べられ、隣り合ったメモリトランジスタのドレインとソースが接続されて、ドレインおよびソースの両方にはコンタクトが形成されないFACE (Flash Array Contactless Eprom) 型の半導体記憶装置が、たとえば文献「ハイデンシティ コンタクトレス、セルフアライン EPROM セル アレー テ

クノロジー (High Density Contactless, Self Aligned EPROM Cell Array Technology)」、(アイイーディーエム (I E D M)、1986年、592～595頁)に開示されている。

【0004】 一方、このFACE型半導体記憶装置の書込み、読出しをもっと簡単に行え、しかも、素子間分離用のLOCOS酸化膜を使用しないで、自己整合的にソース領域とチャネル領域のあいだに低濃度不純物領域を形成して書込みを禁止している半導体記憶装置が「アンアシメトリカル ライトリードード ソース (A L D S) セル フォア バーチャル ダラウンド ハイ デンシティ EPROM (An Asymmetrical Lightly-Doped Source (ALDS) Cell For Virtual Ground High Density EPROMS)」(アイイーディーエム (I E D M)、1988年、432～435頁)に開示されている。

【0005】 このFACE型半導体記憶装置の半導体構造図を図11に、等価回路図を図12に示す。この半導体記憶装置でセルP₁のメモリトランジスタに書込みをするには、ビット線k (ドレイン領域24)に8V位の高電圧を印加し、ビット線k+1 (ソース領域23)および他のビット線には0V位の低電圧を印加し、ワード線m (ワード線25)に12V位の高電圧を印加し、他のワード線には0V位の低電圧を印加することにより、チャネル領域(p層)22とドレイン領域24(ビット線k、n⁺層)とのあいだの濃度差が大きく違うため、ホットエレクトロンが生じ易く書込みが行われる。このセルpの右隣のセルP₂もソース領域(ビット線k)が高電圧でゲート電極にも高電圧が印加されているが、ソース領域とチャネル領域のあいだに低濃度のn⁻領域21が形成されているため、ホットエレクトロンが生じにくく、書込みは行われない。また、読出し時はビット線k+1 (ソース領域23)が2.5V位の高電圧で、ビット線kは低電圧、それ以外のビット線はオープンで、ワード線mに5V位の高電圧、他のワード線に低電圧が印加されることにより、セルP₁の読出しを行うことができる。

【0006】

【発明が解決しようとする課題】 前述のように、従来のFACE型半導体記憶装置はフローティングゲートを使用したフラッシュ型のメモリトランジスタが使用されて、書込み、読出しが行われている。しかしフラッシュ型のメモリトランジスタではホットエレクトロンが高エネルギーで注入されるため、酸化膜中に電荷が微量にトラップされたり、絶縁膜中のH₂の結合などがきられて構造が変わったり、スレッシュホールド電圧V_{th}のシフト量が変わって、ゲートに印加された高電圧と低電圧の区別ができなくなり、MONOS型やMNOS型のメモリトランジスタに比べて書換え回数が1～2桁少なくなるという問題がある。

【0007】 一方、MONOS型やMNOS型のメモリトランジスタはゲートに高電圧が印加されるだけで書込

みが行われ、1個のメモリトランジスタだけで1つのセルに選択的に書込みや読出しを行うことができず、MONOS型やMNOS型の半導体記憶装置で、FACE型は実現されていない。

【0008】本発明は、このような問題を解決してMONOS型またはMNOS型で、FACE型のセル面積の縮小化を図った半導体記憶装置の製法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明による半導体記憶装置は、(a) 第1導電型の半導体基板上に第1の絶縁膜を介して形成されたゲート電極(b) 該ゲート電極の一方の横側に形成された第2の絶縁膜からなるサイドウォール、(c) 前記ゲート電極の他方の横側に第3の絶縁膜を介して形成されたポリシリコンからなるサイドウォール、(d) 前記両サイドウォールのそれぞれの外側の前記半導体基板に第2導電型の不純物が導入されて形成されたソース領域およびドレイン領域、および(e) 前記ポリシリコンからなるサイドウォールに連結して形成された選択ゲート電極からなるものである。

【0010】また、本発明による半導体記憶装置の製法は、(a) 半導体基板表面に第1の絶縁膜が形成され、該第1の絶縁膜上にゲート電極が形成される工程、(b) 該ゲート電極の一方の横側に第2の絶縁膜からなるサイドウォールが形成され、前記ゲート電極の他方の横側にポリシリコンからなるサイドウォールが形成される工程、(c) 前記両サイドウォールをマスクとしてイオン注入法によりソース領域(ドレイン領域)が形成され、該領域の第1の絶縁膜上に選択ゲート電極が形成される工程、および(d) 該選択ゲート電極上に第4の絶縁膜が形成され、該第4の絶縁膜上に横方向に並んだセルのゲート電極が連結されたワード線が形成される工程の結合からなるものである。

【0011】

【作用】本発明によれば、メモリトランジスタのゲート電極が第1導電型の半導体基板の第1の絶縁膜上に形成され、該ゲート電極の横側に形成されたサイドウォールにより第2導電型の高濃度領域(ソース領域およびドレイン領域)が形成されているため、微細寸法でチャンネル領域と離間してソース領域およびドレイン領域が形成される。

【0012】しかも一方のサイドウォールがポリシリコンで形成され選択ゲート電極に連結されており、該選択ゲート電極に電圧が印加されることによりソース領域側の空乏層が拡がり、チャンネル領域とソース領域が空乏層で連結され、高濃度不純物のソース領域から電子がチャンネル領域に供給され、チャンネル領域全体から絶縁膜に電子注入が行われ、書込みがなされる。

【0013】この際、他の書込みを行わないセルでは、選択ゲートに電圧が印加されていないため、書込みが行

われない。

【0014】また、読出し時は前述の書込み時と同様にワード線(ゲート電極)と選択ゲートに電圧が印加されると共に、ドレイン線にも電圧が印加されることによりドレイン領域の空乏層も拡がってチャンネル領域と連結され、結局ソース領域からチャンネル領域を経てドレイン領域まで連結されて通電されうる状態になり、書込みがなされた電荷によるスレッショルド電圧に応じて導通、非導通となり、「1」または「0」の状態が読み出せる。

【0015】したがって、MONOS型またはMNOS型で微細構造のFACE型半導体記憶装置を実現できる。

【0016】

【実施例】つぎに、図面を参照しながら本発明について説明する。図1は本発明による半導体記憶装置の構造を示し、(a)は断面構造図、(b)は平面図を示している。また図2にその等価回路図を示している。

【0017】図1において、第1導電型(たとえばp型)半導体基板1のチャンネル領域2の両側にそれぞれ離間して第2導電型(たとえばn型)の高濃度領域によるソース領域3、ドレイン領域4が形成され、このソース領域3は左隣のセルのドレイン領域と共通で、ドレイン領域4は右隣のセルのソース領域と共通化され、FACE型半導体記憶装置が構成されている。半導体基板1の表面には第1の絶縁膜5が形成され、この絶縁膜5はシリコン酸化膜、シリコンチツ化膜、シリコン酸化膜の3層かシリコン酸化膜とシリコンチツ化膜の2層構造で形成されている。チャンネル領域2の絶縁膜5上には、たとえばポリシリコン膜で形成されたゲート電極6が形成され、その横側の一方には第3の絶縁膜7を介してポリシリコン膜のサイドウォール8が形成されている。このサイドウォール8は、たとえばタンゲステンなどで形成された選択ゲート電極9と電気的に接続され、選択ゲート電極9に印加される電圧により、ポリシリコン膜のサイドウォール8を介してソース領域3とチャンネル領域2とのあいだの導通、非導通が制御される。ゲート電極6の反対側の横側には第2の絶縁膜によるサイドウォール10が形成され、チャンネル領域2とドレイン領域4とがオフセットして形成されるようになっている。この選択ゲート電極9の上側に第4の絶縁膜11を介してワード線12が横方向のセルのゲート電極を連結するように配線されている。図1の(b)に示すように、アレイ状に配置された各セルの横方向のセルのゲート電極が連結されてワード線W₁、W₂が形成され、縦方向に並んだ各セルのソース領域3、ドレイン領域4の第2導電型の高濃度領域が連結されてビット線B₂、B₃が形成され、同様に縦方向に並んだ各セルの選択ゲート電極9が連結されて選択ゲート線SG₂、SG₃が形成されている。

【0018】このように形成される半導体記憶装置の駆動法について説明する。図2に等価回路図で示されたセ

ル Q_1 の書込み、読出しについて図1をも参照しつつ説明する。

【0019】まず書込みをするには、ワード線 W_1 に10V位の高電圧が印加され、選択ゲート SG_2 に5V位の高電圧が印加され、他のワード線、ビット線、選択ゲート線および基板に0Vかそれに近い低い電圧が印加されることにより、セル Q_1 のみに書込みが行われる。すなわち、セル Q_1 の選択ゲート電極 SG_2 には5V印加されているため、ソース領域3（ビット線 B_2 ）とチャネル領域2の離間部分に空乏層が形成され、導通状態となり、ソース領域3の n^+ 型の高濃度領域から電子がチャネル領域2に進み、ゲート電極6に印加された電圧により電子が絶縁膜5にトンネリング注入され、書込みがなされる。他のセルはゲート電極6に高電圧が印加されていないかまたは選択ゲート電極9に高電圧が印加されていないため、書込みはなされない。すなわち、ゲート電極6と選択ゲート電極9の両方に高電圧が印加されたばあいのみ書込みがなされる。

【0020】つぎに、読出しについて説明する。読出しはソースドレイン間に電流が流れうる状態になっており、かつ、ゲート電極に電圧が印加されることにより、ゲート絶縁膜の書込み状態に応じたスレッシュホールド値電圧でON、OFFが発生し、「1」の状態または「0」

表

の状態の読出しができる。したがってセル Q_1 の読出しを行うには、ビット線 B_3 に5V位の高電圧が印加され、チャネル領域2とドレイン領域4のあいだの離間部分に空乏層が形成されてチャネル領域2とドレイン領域4が連結されると共に、選択ゲート線 SG_2 にも5V位の高電圧が印加されてソース領域3とチャネル領域2のあいだも導通状態にされ、その上で、ワード線 W_1 に5V位の高電圧が印加されることにより、スレッシュホールド電圧に応じてソースドレイン間に電流が流れたり、流れなかったりして「1」の状態または「0」の状態を読みとることができる。このとき、ビット線 B_2 は0Vかそれに近い電圧で、他のビット線はオープンにされる。また他のワード線、選択ゲート線、基板は全て0Vまたはそれに近い低電圧にされる。

【0021】消去する際は、全セルの一括消去方式で、基板に10V位の高電圧が印加され、他のワード線、ビット線、選択ゲート線は全て0Vまたはそれに近い低電圧にされる。

【0022】以上の関係を表にまとめると表1のようになる。

【0023】

【表1】

	W_1	W_2	B_1	B_2	B_3	B_4	SG_1	SG_2	SG_3	基 板
書込み (V)	10	0	0	0	0	0	0	5	0	0
読出し (V)	5	0	オープン	0	5	オープン	0	5	0	0
消 去 (V)	0	0	0	0	0	0	0	0	0	10

【0024】つぎに、本発明の半導体記憶装置の製法について説明する。図3～10は本発明の一実施例である半導体記憶装置の製造工程図である。

【0025】まず、図3～4に示すように、半導体基板1の表面に第1の絶縁膜5が形成され、引き続きゲート電極6が形成される。具体的には、第1の絶縁膜5として最初に熱酸化法により800～900℃、約20分間の熱処理をして約200Åのシリコン酸化膜が形成される。さらに、CVD法により、 SiH_2Cl_2 ガスと NH_3 ガスが導入され、700～800℃で約10分間気相反応させることによりシリコンチッ化膜が約800Å形成される。この上にさらに水蒸気を導入して900～1000℃、約60分間の熱処理をするスチーム酸化法により約500Åのシリコン酸化膜が形成さ

れる。この第1の絶縁膜5は3層構造でなくても酸化膜とチッ化膜の2層構造でもよく、このばあい各々の厚さはそれぞれ15～30および190～300 Åにすることが好ましい。この第1の絶縁膜5上にゲート電極6を形成するため、 SiH_4 ガスと N_2 ガスを導入し、600～650℃の処理により、約5000Åのポリシリコン膜が形成され、チャネル領域2、チャネル領域2とソース領域3の間隙分およびチャネル領域2とドレイン領域4の間隙分の合計の間隔がエッチング除去され開口部15が形成される。

【0026】つぎに、図5～6に示すように、開口部15の両側すなわち、ゲート電極6の両側にポリシリコン膜のサイドウォール8と第2の絶縁膜によるサイドウォール10が形成される。具体的には、 SiH_2Cl_2 ガスと

N₂Oガスを導入し、500～600℃で気相反応させるCVD法によりシリコン酸化膜が約2000オングストローム全面に形成され、引き続きRIE法によりエッチバックし、片方をマスクングしてエッチングし、片方のみに第2の絶縁膜によるサイドウォール10が形成される。さらに、後のイオンエッチングのストッパ用に第3の絶縁膜7として、水蒸気を導入し800～900℃、約30分間加熱するパイロジェニック酸化法により約500オングストロームのシリコン酸化膜がゲート電極6の周囲に形成される。そののち、前述と同様にCVD法でポリシリコン膜が約2000オングストローム形成され、エッチバックによりポリシリコン膜のサイドウォール8が形成される。この際、第2の絶縁膜によるサイドウォール10が形成された側のポリシリコン膜のサイドウォールはエッチング除去される。

【0027】つぎに、図7～8に示すように、サイドウォール8、10をマスクとしてイオン注入法により第2導電型の不純物が導入され、ソース領域2（ドレイン領域3）が形成され、第1の絶縁膜5上に選択ゲート電極9が形成される。具体的には、リン（P）イオンをイオンの加速電圧を70keV、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、そののち、WF₆ガスとSiH₄ガスを導入し、300～400℃で反応させるCVD法によりタングステン膜が形成され、エッチバックによりゲート電極6の面より低くなるように形成される。この際、ゲート電極6側は表面に前述の第3の絶縁膜7が形成されているため、エッチングはこの第3の絶縁膜7で止まり、タングステン膜のみがエッチングされる。この選択ゲート電極9がゲート電極6より低く形成されるのは、後の工程で形成される。ゲート電極6を結ぶワード線12との間隔が近いと、ワード線12に印加された電圧が選択ゲート電極9に相互作用し、選択ゲート電極9に電圧が印加されないのにソースとチャンネル間が導通状態になるのを防止するためである。

【0028】最後に図9～10に示すように、選択ゲート9上に第4の絶縁膜を介して横方向のセルの各ゲート電極を連結するワード線が形成される。具体的には、PH₃ガスとSiH₄ガスとB₂H₆ガスを導入し、500～600℃で反応させるCVD法により約1000オングストロームのBPSG膜（ボロフォスホシリケートガラス膜）が形成され、900～1000℃約60分間の熱処理をすることによりBPSG膜が平坦化される。そののち、RIE法によりエッチバックしてゲート電極6を露出せしめ、その上にCVD法によりポリサイド膜が形成され、パターニングによりワードライン12が形成される。そののち、この表面に随時保護膜が形成されうる。

【0029】前述の具体例はあくまでも一例であって、絶縁膜や電極の材料さらには形成法は前述の具体例に拘束されることなく、周知の他の材料や方法でなされうる。

【0030】

【発明の効果】本発明によれば、チャンネル領域とソース領域およびドレイン領域とのあいだのオフセットが、サイドウォールにより自己整合的に形成でき、マスクが不要で微細化され、セル面積の小さい高精度のMONOS型またはMNOS型の半導体記憶装置がえられる。さらに本発明によれば、半導体基板に厚い酸化膜を形成するLOCOS酸化膜を形成しないで、表面にCVD法などにより形成された絶縁膜により、ワード線の電圧がチャンネル領域とドレイン領域とのあいだのオフセットに影響しないようにしているため、一層の微細化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体記憶装置の構造を示す説明図で、(a)が断面図、(b)が平面図である。

【図2】本発明の一実施例である半導体記憶装置の等価回路図である。

【図3】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図4】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図5】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図6】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図7】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図8】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図9】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図10】本発明の一実施例である半導体記憶装置の製造工程説明図である。

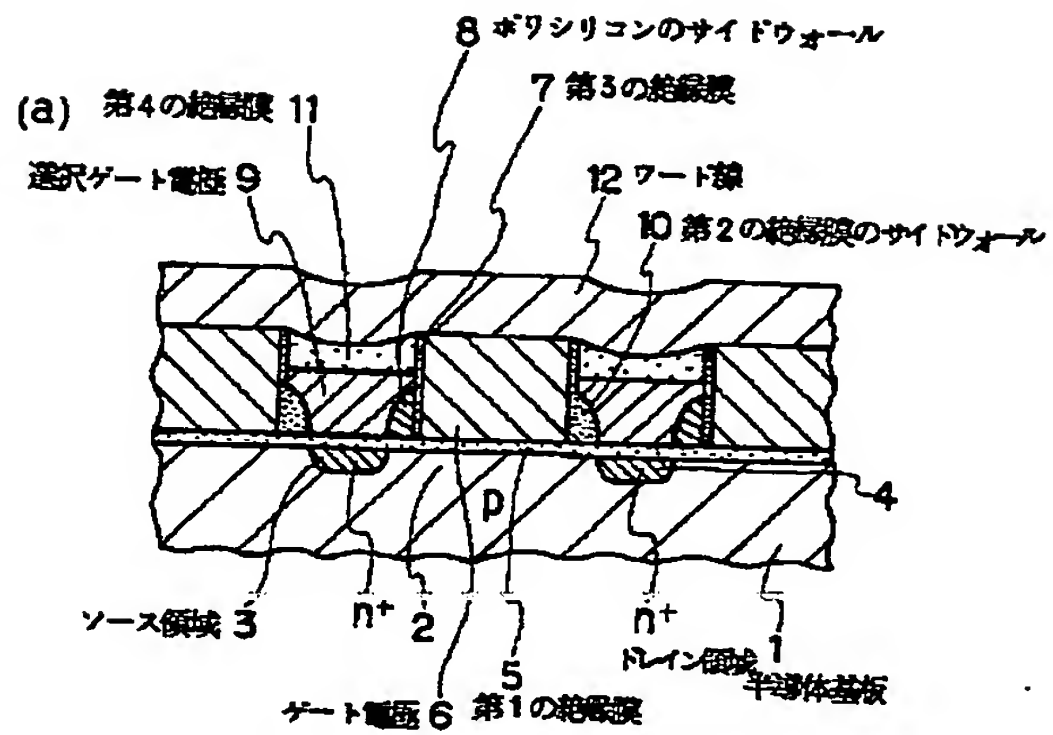
【図11】従来のフローティングゲート型でFACE型の半導体記憶装置の断面説明図である。

【図12】従来のフローティングゲート型でFACE型の半導体記憶装置の等価回路図である。

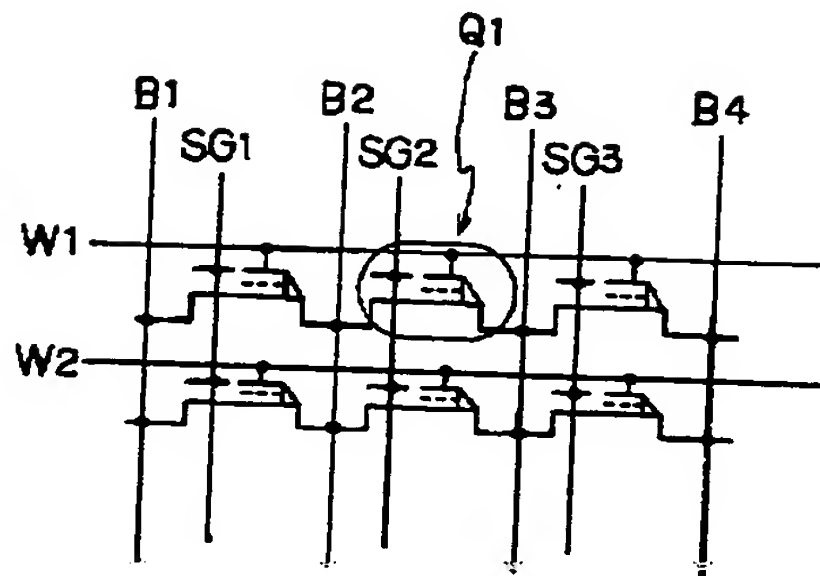
【符号の説明】

- 1 半導体基板
- 3 ソース領域
- 4 ドレイン領域
- 5 第1の絶縁膜
- 6 ゲート電極
- 7 第3の絶縁膜
- 8 ポリシリコンのサイドウォール
- 9 選択ゲート電極
- 10 第2の絶縁膜のサイドウォール
- 11 第4の絶縁膜
- 12 ワード線

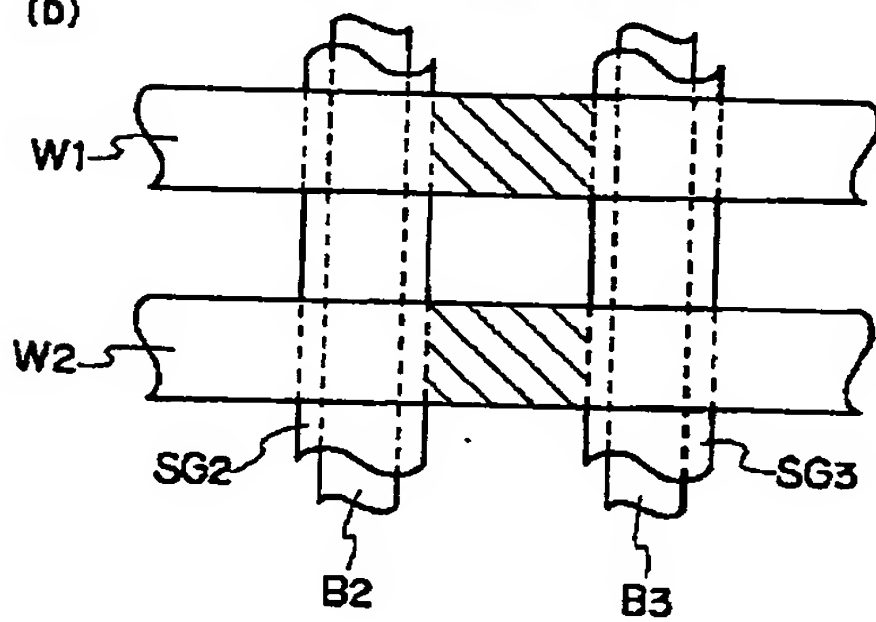
【図1】



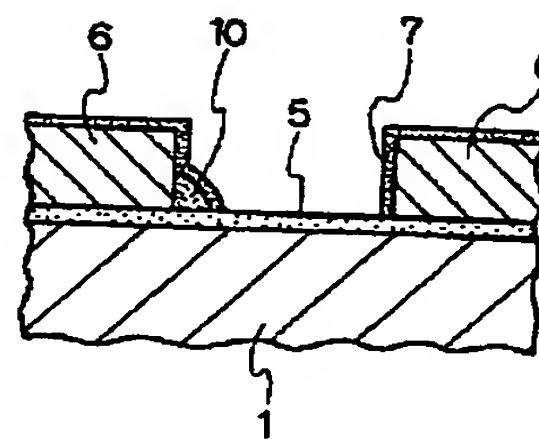
【図2】



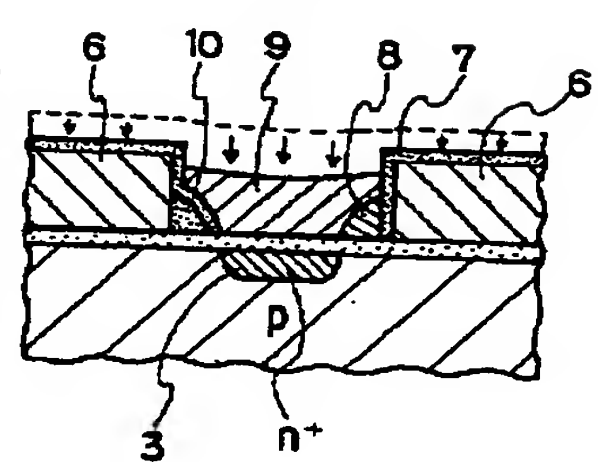
(b)



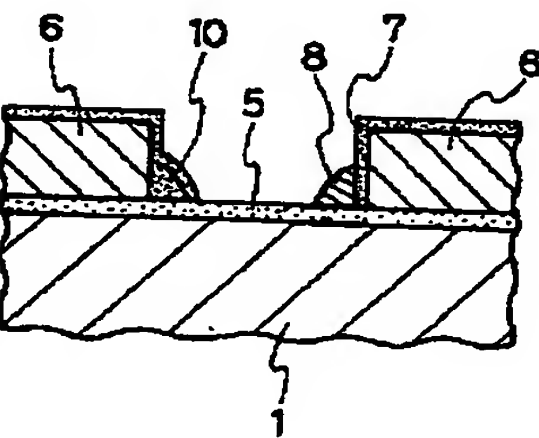
【図5】



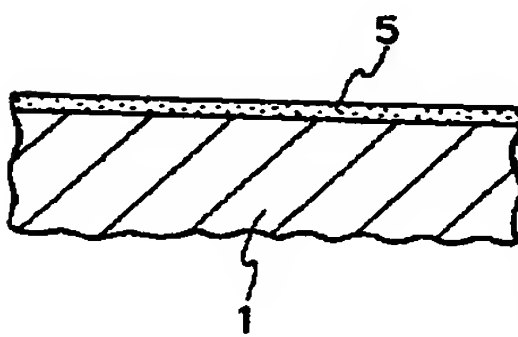
【図8】



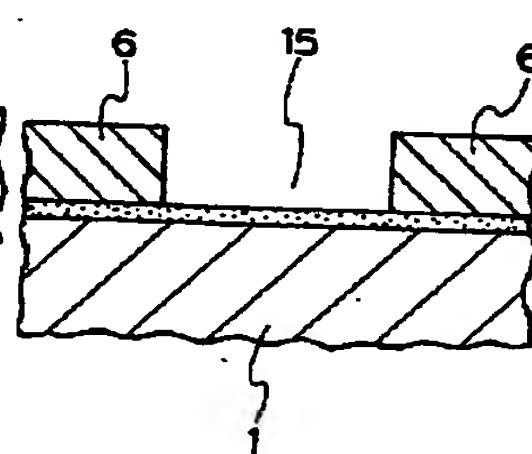
【図6】



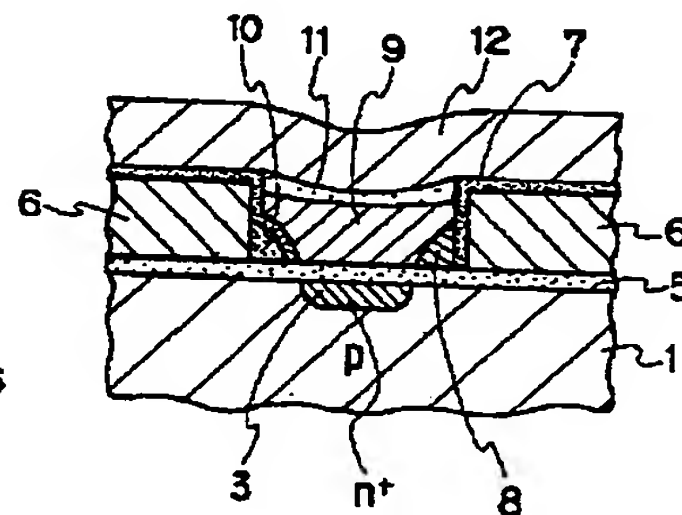
【図3】



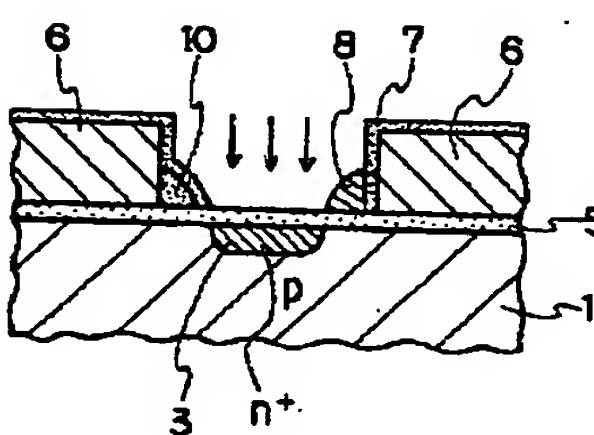
【図4】



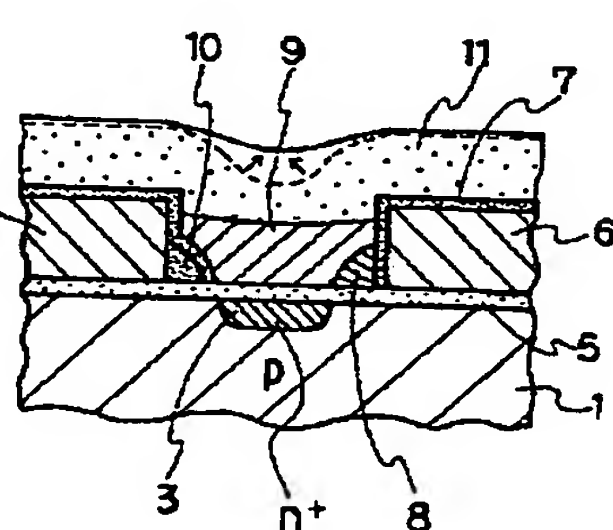
【図10】



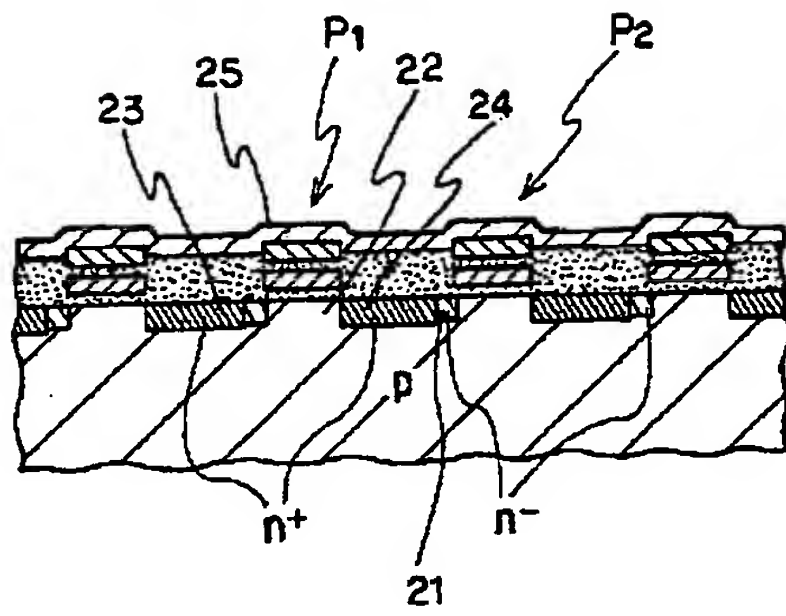
【図7】



【図9】



【図11】



【図12】

